

CONTINUOUS DRIVE SYSTEM FOR AC PLASMA PANEL

Publication number: JP54148435

Publication date: 1979-11-20

Inventor: RARII FURANSHISU UEEBAA

Applicant: INTERSTATE ELECTRONICS CORP

Classification:

- international: G09G3/28; G09G3/28; (IPC1-7): G06K15/18; G09F9/30; H01J17/48

- European: G09G3/28T; G09G3/288D

Application number: JP19790054656 19790502

Priority number(s): US19780903126 19780505

Also published as:

US4180762 (A1)

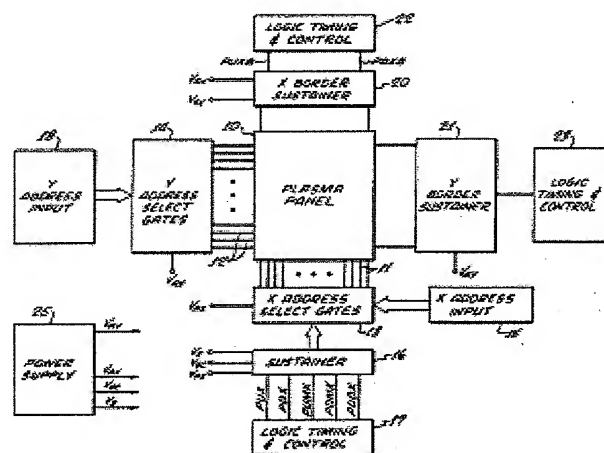
Report a data error here

Abstract not available for JP54148435

Abstract of corresponding document: **US4180762**

Sustainer drive circuitry for an AC plasma display panel wherein a multiple level sustainer signal is applied to panel electrodes along one axis only.

The sustainer circuit includes a pair of series connected NPN pull-high and pull-down output driver transistors which (a) are respectively driven by low voltage drive circuits isolated from the NPN output driver transistors by capacitors; (b) respectively charge up the panel to a relatively high voltage and discharge the panel to ground; and (c) include a feedback network for limiting the rise time of the high voltage across the panel for reducing noise and electromagnetic interference. Diode circuitry insures that these output driver transistors are turned on and off without ringing and are never driven on simultaneously. A common voltage supply provides both (a) the write pulse level and (b) the write pedestal level of the sustainer waveform. The invention further provides a border sustain driver circuit for one axis which comprises simple and inexpensive integrated circuit logic gates.



Data supplied from the esp@cenet database - Worldwide

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54—148435

⑬Int. Cl.²
G 06 K 15/18
G 09 F 9/30
H 01 J 17/48

識別記号 ⑭日本分類
97(7) B 4
101 E 5
99 G 5

庁内整理番号 ⑮公開 昭和54年(1979)11月20日
7629—5B
7129—5C
7520—5C
発明の数 1
審査請求 未請求

(全 12 頁)

⑯ACプラズマパネル用持続駆動システム

⑰特 願 昭54—54656
⑱出 願 昭54(1979)5月2日
優先権主張 ⑲1978年5月5日⑳米国(US)
㉑903126
㉒発 明 者 ラリイ・フランシス・ウエーバー
アメリカ合衆国イリノイ州アー

バナ・ダブリュ・ヒル・ストリート908

㉓出 願 人 インターステイト・エレクトロニクス・コーポレーション
アメリカ合衆国カリフォルニア州アナハイム・イー・バーモント・アベニュー707

㉔代 理 人 弁理士 深見久郎

明 細 書

1、発明の名称

ACプラズマパネル用持続駆動システム

2、特許請求の範囲

(1) ACプラズマパネル(10)用持続駆動システム(16)であつて、前記パネル(10)はそれぞれに複数個のセルを形成する複数個の交差電極(11, 12)を有し、前記複数個のセルで光がパネル上に発生され、前記駆動システム(16)は、

前記パネル(10)に多レベル持続波形(45, 46, 47, 48)を供給するための1個の持続回路(16)と、

前記1個の持続回路を前記交差セルの各々でのみ一方の電極(11)へ結合するための手段(13)とを備え、

前記1個の持続回路(16)はプルダウン出力トランジスタ(34)と直列接続されるプルハイ出力トランジスタ(31)を含み、前記トランジスタ(31, 34)の両方に共通な接続点(36)で発生される持続駆動信号(45, 46, 47, 48)によつてパネル(10)を選択的に充電および放電し、

分離コンデンサ(71)によつて前記プルハイ出力トランジスタ(31)へ結合され、しかしそのトランジスタ(31)から分離される低電圧ベース駆動回路(32)をさらに備えた、ACプラズマパネル用持続駆動システム。

(2) 前記プルダウン出力トランジスタ(34)に直列接続される前記プルハイ出力トランジスタ(31)は高電圧と接地との間に接続され、かつ前記プルハイ出力トランジスタ(31)のベースは前記パネル(10)の電圧近くの高電圧で上下に浮動する、特許請求の範囲第(1)項記載の持続駆動システム。

(3) 前記プルハイ出力トランジスタ(31)へ結合されてパネル(10)電圧に相当する信号をフィードバックして持続波形のライズタイムを制限するフィードバック手段(90, 91)をさらに備えた、特許請求の範囲第(1)項記載の持続駆動システム。

(4) 前記フィードバック手段(90, 91)は直列接続されたコンデンサ(90)および抵抗(91)を含む、特許請求の範囲第(3)項記載の持続駆動システム。

(5) エミッタおよびコレクタが分離コンデンサ

(1)

(2)

(7 1)と前記プルハイトランジスタ(3 1)のベースとの間に接続される駆動トランジスタ(6 7)をさらに備えた、特許請求の範囲第(1)項記載の持続駆動システム。

(6) エミッタおよびコレクタが前記分離コンデンサ(7 1)と前記プルハイトランジスタ(3 1)のベースとの間に接続される駆動トランジスタ(6 7)をさらに備え、前記フィードバック手段(9 0, 9 1)は前記プルハイ出力トランジスタ 3 1と前記駆動トランジスタ(6 7)のベースとの間に接続されるコンデンサ(9 0)、および前記駆動トランジスタ(6 7)のベース回路へ接続される抵抗 9 1を含む、特許請求の範囲第(3)項記載の持続駆動システム。

(7) 前記プルハイトランジスタ(3 1)がオンおよびオフにされるときリングングを防止するための手段(8 2, 8 3, 8 4)をさらに備えた、特許請求の範囲第(1)項記載の持続駆動システム。

(8) 前記プルハイ(3 1)およびプルダウン(3 4)出力トランジスタへ結合されて前記トランジスタ(31, 3 4)が同時にオンに駆動されないことを確実にす

(3)

る乗換回路トランジスタゲート(160, 161)を含む、特許請求の範囲第(1)項記載の持続駆動システム。

3. 発明の詳細な説明

固有のメモリを有するガスプラズマパネルはベーカー (Baker) ほかによるアメリカ合衆国特許番号第 3,499,167号およびビツラー (Bitzer) ほかのアメリカ合衆国特許番号第 3,599,190号に最初に開示された。これらのパネルは陰極線管表示に因りていくつかの固有の利点を有し、かつ現に、デジタルデータ読出装置として商業的に主に用いられている。先行技術の状態に関する問題点は、パネルのための駆動および制御回路が、必要とされる回路の数およびこれらの回路の複雑さに鑑みトラブルを起し易くなりかつ高価となつたことである。

回路の複雑さに対する理由のうちのひとつはパネル自体の性質であつた。基本的には、パネルは2枚のガラスプレートからなり、ガス混合物がそれらのガラスプレート間で密封されている。複数

(5)

特開 昭54-148435(2)

るための手段(8 5, 8 6)をさらに備えた、特許請求の範囲第(1)項記載の持続駆動システム。

(9) 共通電圧源が前記持続波形に書込電圧レベルを供給しかつまた個々のセルの選択的地址パルス化に必要とされる電圧レベルを与え、前記共通接続点を書込ペデスタル駆動トランジスタ(55)との間に直列接続される電圧を含み、そのため、プルハイ(3 1)およびプルダウン(3 4)トランジスタがオフでありかつペデスタル駆動トランジスタ(55)がオンであり、持続波形は前記持続波形の最大レベルと前記付加的な電圧源との間の差までプルダウンされ、かつ

前記持続波形と前記パネル電極との間に接続されるアドレス選択ゲート(1 3)へ前記共通電圧源を結合するための手段(5 6, 5 7)をさらに備えた、特許請求の範囲第(1)項記載の持続駆動システム。

(10) 連続的なオン状態で軸の1個に沿つてボード電極を保持するための手段(2 0)をさらに備え、交流方形波形を前記ボード電極へ与えるため最大持続電圧波形よりも小さい電圧源の間に接続され

(4)

個のX軸電極が1個のプレートの内部サブストレートの上に形成されかつ複数個のY軸電極が他のプレートの内部の上に形成されそれによつて複数個の交差するXおよびY電極を与える。200および250ボルト間の電圧がこの点で光を出すように交差する電極の間でガスを放電させる必要がある。より少ない交流電圧が発光状態でガスを保持し、それによつてガスは与えられたAC波形の各移り変わり点で光のパルスを出す。正確に時間決めされ、整形されかつ位相化されたレベルの交流電圧波形が、プラズマディスプレイパネルに選択された場所で発光ガス放電の発生、持続および消去を制御するのに必要とされる。

典型的には、先行技術システムにおいては、多レベル交流電圧持続駆動信号がXおよびY電極の両方に与えられ、その目的で、XおよびY電極が交差する表示パネルの各点またはセルでガスに復合持続波形を提示する。その結果、XおよびY電極の各々は複雑な持続回路によつて駆動される必要がある。さらに、XおよびYの組の電極の両方

(6)

に対して持続回路が要求されるのみならず、さらに、複数個のデジタル論理エレメントが、XおよびY持続回路の各々の内のトランジスタのオンおよびオフ期間を制御するため複数個の時間決めされたパルス列を発生する必要がある。

先行技術の持続駆動回路のもう1つの欠点は、それらが共通的にエネルギー蓄積エレメントおよび分離装置としてインダクタンスおよび変圧器を用いていることである。これらは通常高価格項目であり、全体のシステムの製造の価格をさらに増大させることになる。さらに、先行技術回路を信頼できるものにするのが困難であつた。このように、たとえば、パネルに関連の浮遊インダクタンスは持続回路の出力駆動トランジスタの有害なリングングを生じる傾向になる。

この発明は多数の意義ある特徴を有するACプラズマパネル用の改良された駆動回路に関するものである。

ここに説明する発明の好ましい実施例においては、持続波形はプラズマパネルの一方の軸を形成

(7)

高電圧出力トランジスタから分離するために用いられる。これは先行技術の設計と対比されることであり、このような先行技術の設計は典型的にはこの目的のために比較的高価なインダクタまたは変圧器を用いている。

この発明のもう1つの特徴は、プルハイトランジスタのベースがプラズマパネルへ印加される電圧に近い高電圧で上下に浮動するけれども、そのように接続されたトランジスタの駆動する固有の問題はこのプルハイ出力トランジスタがリングングなくかつインダクタ、変圧器、および付加的な電源電圧を用いることなくオンおよびオフになるようにこの発明によつて解決されるということである。さらに、持続駆動回路は必要な持続波形を発生するためより少ない数の入力パルス列しか必要としない。ここに説明した好ましい実施例では、5個の入力パルス列が4レベル持続波形を発生するのに充分である。より少ない数の電源電圧を用いることによつてかつ同じ電圧源を用いて持続出力波形の書込ベテスタル電圧レベルおよび書込

(9)

する電極のみに印加される。その結果、この発明に必要でない駆動回路の実質的な量が存在する。なぜならば他の組の電極のための持続回路が不必要だけではなく、さらに、第2の持続駆動回路を駆動するために必要とされる論理回路を設ける必要もないからである。

この発明の持続駆動回路はプルダウン (pull-down) 出力トランジスタと直列接続されるプルハイ (pull-high) 出力トランジスタを含み、持続駆動信号は両方のトランジスタに共通の接続点で発生される。これらのトランジスタの両方は低電圧のベース駆動回路によつて制御される。プルハイトランジスタは、オンの状態では、持続波形の最も高いレベルに相当する電圧供給源、すなわち、170ボルトと200ボルトとの間のレベルかつ典型的には180ボルトへこの共通接続点を接続している。プルダウントランジスタは、付勢されるとき、その接続点を接地電位へ接続する。持続駆動回路は多数の意義ある利点を含む。低価格の、高信頼性のコンデンサが低電圧ベース駆動回路を

(8)

パルスの両方を発生することによつて先行技術以上に節約が達成される。

この発明はさらに、プルハイトランジスタがオンにされるときプラズマパネルへ印加される持続電圧のライズタイムを制限するためフィードバック回路を併用している。これは効果的に不必要なノイズ電流および電磁妨害を減少させ、このような電磁妨害は、さもなくば、パネルがプルハイトランジスタによつて充電されるとき時間とともに電流の非常に急速な変化によつて発生されるであろう。

この発明の持続回路のもう1つの特徴は、プルハイおよびプルダウントランジスタは、これらのトランジスタの各々に流れる過度な電流の流れを回避するように同時にオンにされないということを実行するためにダイオード手段が設けられるということである。

持続駆動回路を簡略化することに加えて、この発明はさらに1組の軸を形成するボーダ電極を駆動するための回路の複雑さを実質的に減少させる。

10

このように、ここに説明する実施例においては、1組の軸ボータが特別な持続回路で駆動されず、そのかわりに、商業的に入手可能な低価格の集積回路トランジスタゲートで駆動される。

第1図を参照して、プラズマパネル10は、ペーカ他アメリカ合衆国特許第3,499,167号およびピツラー他の同第3,559,190号に最初に開示された固有のメモリを有するAC型のものである。基本的には、この形成のプラズマパネルは2枚のガラスプレートを含み、これらの2枚のガラスプレートの間にはガス混合物が密封されている。一方のプレートの内部サブストレートの上には複数の垂直電極(ここではX軸電極11として示される。)が形成されかつ他方のプレートの内部には複数の水平電極(ここではY軸電極12として示される。)が形成されて、マトリックスを形成している。代表的な例によれば、このようなマトリックスは典型的には512個のX軸電極と512個のY軸電極とを含む。適当な電圧波形が交差するXおよびY電極(ここではアドレスモ

(1)

ード18に回答する。この発明の重要な特徴は、Yアドレスドライバ14が持続回路によつて駆動されず、それによつて今日まで商業的に入手可能なACプラズマ表示装置によつて用いられる持続回路の半分を実質的に除去することである。

プラズマパネルの性質は、特別な持続電圧がプラズマセルを点火するための手段としてパネルのボータへ印加され、それによつてパネルが確実に書き込まれるということである。したがって、図示したように、Xボータ持続回路20がX軸ボータへ接続されかつYボータ持続回路21がY軸ボータへ接続される。Xボータ持続回路は論理タイミングおよび制御回路22によつて発生されるパルス列PUXBおよびPDXXBによつて駆動される。Yボータ持続回路は論理タイミングおよび制御回路23によつて駆動される。以下に説明するように、この発明の特徴は、Yボータ持続回路21が先行技術より以上にかなり簡略化されるということである。

前述した回路の各々は電源25によつて供給さ

(2)

ードとして示す)へ印加されるとき、電極間のガスは電極交差点の点またはセルで光の明るい点を放電させる。ガス間隙における放電はガスセルの壁に集まる自由電子およびガスイオンを発生する。この壁の電荷はこの形式の表示のため記憶または固有のメモリを与える。AC持続電圧がパネルへ印加されている限り、ガスはさらにアドレスすることなく光を出す。

水平および垂直電極の複数の交差点の内の任意のものをアドレス指定するための回路は、X軸電極11およびY軸電極12へそれぞれに接続されるXアドレスドライバ13およびYアドレスドライバ14によつて与えられる。Xアドレスドライバ13は順次、Xアドレス入力ステージ15に回答しかつ持続回路16によつて駆動され、この持続回路16は論理タイミングおよび制御回路17によつて与えられる複数のパルス列PUX, PDX, PUMX, PDMXおよびPDDXへ作動的に接続される。

Yアドレスドライバ14はYアドレス入力ステ

(3)

れた1またはそれ以上の電圧 V_{AY} , V_{AX} , V_{SC} および V_S に回答することである。以下の説明から明らかのように、この発明のもう1つの特徴は、必要な持続電圧波形を与えるのに必要とされる異なる電源電圧の数の減少である。

第2a図は持続、消去、書き込みおよび大量消去の4個の動作モードでX軸電極11へ印加される持続交流電圧の波形を示す。第2b図は同じ動作モードの間にY軸電極12へ印加される波形を示す。第2a図において、実線はX電極の全てに供給される信号を示し、それに対して点線はアドレス指定されるそれらの電極へのみ与えられる信号を示す。同様に、第2b図において、実線はY電極の全てに印加される信号を示し、それに対して点線はアドレス指定されたY電極のみへ印加される信号である。

第3図は持続回路16およびXアドレス選択ゲート13の1個のステージの簡略化したブロック図である。図示のように、持続回路16は、上部ベース駆動回路32によつて駆動されかつ電位 V_S

(4)

とパネル持続駆動ライン36との間に接続されるプルハイ出力NPNトランジスタ31を含む。ライン36はまた下部ベース駆動回路35によつて駆動されるプルダウン出力NPNトランジスタ34のコレクタへ接続される。消去ペダスタルレベルは出力NPNトランジスタ40によつて与えられ、それは消去ペダスタル駆動回路39によつて駆動される。トランジスタ40のエミッタは分離ダイオード41および抵抗42を介してパネル持続駆動ライン36へ接続される。持続駆動回路のための低レベル電位(第2a図において45で示される接地レベル)はトランジスタ31および40がオフにされかつトランジスタ34が下部ベース駆動回路35によつてオンに駆動されるときに与えられる。中間のまたは消去ペダスタル電圧レベル(第2a図において46で示される)が、トランジスタ31および34がオフにされかつトランジスタ40が上部ベース駆動回路39によつてオンに駆動されるときに達成される。

パネルの上の選択されたドットを消去すること

09

定されるべきであるときを除き、上部ゲートトランジスタ50がオフでありかつ下部ゲートトランジスタ51がオンであり、したがつてプラスマパネル10をトランジスタ51を介してパネル持続駆動ライン36へ接続する。

第2a図に示すように、電圧レベル V_{AX} がX電極をアドレス指定するように書込ペダスタル48へ印加される書込パルスの電圧レベルである。この同じ電圧源 V_{AX} は、 V_S および駆動供給電圧 V_{AX} 間に直列に接続されるトランジスタ55、分離ダイオード56および抵抗57によつてXアドレス選択ゲート13と組み合わせさつて書込ペダスタルレベル48を与えるために用いられる。

持続波形の書込み部分の間(第2図に示す)、トランジスタ55は書込ペダスタル駆動回路58によつてオンにされかつトランジスタ31、34および40はオフである。トランジスタ55がオンであるため、パネル持続駆動ライン36へ供給される電圧 V_S マイナス V_{AX} であり、それは第2図に示す必要な書込ペダスタルレベル48である。

07

は、選択されたX軸電極へ印加される持続波形パルスを加えることによつて、かつ第2a図および第2b図に示すように、選択したY軸電極を接地パルス化することによつて消去モードで行われる。

大量消去波形は全てのセルにより狭いパルスを印加することによつてパネルのセルの全てを消去する。これは、第2a図および第2b図に示すように、X持続電圧が降下した後すぐに全てのYドライブを降下させることによつて達成される。

この発明の特徴の内の1つは、それが書込みペダスタルレベル(第2a図において48で示される)を与えるための別の電圧源を除去することである。第3図を参照して、浮動電圧源 V_{AX} が直列接続されたゲートトランジスタ50および51に接続され、これらのトランジスタはアドレス選択ゲート13を形成する複数個の類似のゲートステージの1個のステージを表わしている。これらのトランジスタのベースはXアドレス入力ステージ15によつて制御され、それによつて、普通の動作において、すなわち、X軸がアドレス指

09

選択されたX電極11のアドレス指定は、上部ゲートトランジスタ50がオンに駆動されかつ下部ゲートトランジスタ51がオフに駆動されるように適当な駆動信号をXアドレス入力ステージ15から、そのような選択されたX電極11へ接続されるXアドレス選択ゲートへ供給することによつて達成される。X軸電極は、それから、書込ペダスタルレベル48から書込電圧 V_S へ上昇される(第2図の点線のパルス60によつて示されている)。第2a図に示すように、選択されたX-Y交差点でデータを書き込むことは、選択されたY電極を接地へ同時に下げることによつて達成される。

好ましい実施例の持続駆動回路16用の特定回路を示す詳細な回路を第4図に示す。この回路のための条件は、0および200ボルト間の範囲にある電圧波形で実質的なパネルキャパシタンス、典型的には5000ないし10000ピコファラッド(pf)を駆動しなければならないということである。適当なパネル動作のため、持続電圧波形のライズ

09

タイムは500ナノ秒を越えてはいけな。したがって、パネルキャパシタンスを充電してしまうためには、10アンペアのピーク電流がたびたび必要とされる。ガス放電パネル10からの放電電流は、パネルが充電されてしまった後1マイクロ秒内にかつパネルの全てのセルが照らされたときとなる。この放電電流は10アンペアのオーダのピーク電流を結果的に生じる。

電力効率を増大させかつ持続回路16の出力駆動NPNトランジスタ31および34における熱放散を最小にするために、これらのトランジスタが有利に飽和まで駆動される。しかしながら、持続回路16の回路は、これらのトランジスタが同じ時間に導通していないということを確実にしなければならない。なぜならばこのような条件はトランジスタ内の非常に高い電力放散を生じるからである。持続駆動回路に残されたもう1つの重要な問題点は、プルハイトランジスタ31のベースがプラズマパネルにかかる電圧にほぼ等しい電圧で上下に浮動し、それによつてトランジスタ31

49

信号PUXにตอบสนองする。第5図に示すように、PUXは通常はハイであり、それによつてトランジスタ65はオフである。なぜならばそのベースは抵抗69によつてハイに保持されるからである。最大持続レベル47は、PUXがローに進むときに始動され、その時に電流がトランジスタ65のベースエミッタ接合で流れ、それをオンにし飽和させる。トランジスタ65のコレクタ電流はダイオード70を介して流れ、トランジスタ66のベースエミッタ接合を逆バイアスしてこのトランジスタをオフにする。

コンデンサ71は出力トランジスタ31のベースとトランジスタ65および66を含む低電圧駆動回路との間の高電圧分離とを与える。これは、先行技術システムのインダクタおよび変圧器とは異なる明確な利点である。なぜならばコンデンサ71は実質的に信頼性を何ら損わずに安価であるからである。結合コンデンサ71の左の電極の電圧はトランジスタ65がオンのとき上へ引張られ、それによつて正の電流 I_D が低電圧駆動回路から

50

を駆動するのを最も困難にさせるということである。

上に列挙した問題点は、インダクタまたは変圧器を用いることなくかつ特別な電源電圧なしに、第4図の回路によつて解決される。さらに、この発明の回路は、トランジスタ31がオンにされる速度を制限し、それによつて不所望なノイズはトランジスタ31がパネルキャパシタンスまで充電されるとき過度に高い $\frac{di}{dt}$ によつて発生されない。このような電流の変化の過度の速さはシステム内の他の回路を誤動作させることができる他の形式のノイズおよび過度の電磁妨害(EMI)を生ずるものである。

プルハイトランジスタ31は持続信号レベルを電圧 V_S まで引張る。このトランジスタ31のベースはトランジスタ66および67を制御するトランジスタ65を含む低電圧の上部ベース駆動回路32によつて制御される。低電圧トランジスタ65は低電圧源 V_{SC} からの電力で供給され、かつ抵抗68を介してそのベースへ接続されるパルス

51

コンデンサ71へ流れかつトランジスタ67のエミッターベース接合へ流れて、そのコレクタ V_S 近くの値まで引張り、トランジスタ67が方向を変えられる。これはまた、プルハイトランジスタ31をオンにさせるため引き上げられているプルハイトランジスタ31のベースにも生じる。トランジスタ31のベースへの高電流の流通のため、トランジスタが飽和しかつそのエミッタは V_S 電位へ上昇する。コンデンサ71が充電されてしまふとき、電流はトランジスタ31のベースへ流れ続け、それをオンに保持しかつ飽和される。コンデンサ71は十分に大きいので完全に充電するようには許容されない。

パルス入力信号PUXはそのハイの状態へ戻されるとき、トランジスタ65はベースプルアップ抵抗69によつてオフにされる。トランジスタ65はコンデンサ71へ電流を供給するのを停止し、かつ代わりに、抵抗75がベース電流をトランジスタ66へ与え、それはオンになりかつ飽和する。オンのトランジスタ66のエミッタはコンデンサ

52

71の左の電極を瞬間的に接地へ引張る。このコンデンサは、順次、トランジスタ67のエミッタをプルダウンさせ、このトランジスタをオフにさせる。コンデンサ71は放電し、低電圧駆動回路へ負の電流 I_D を生じる。トランジスタ67のエミッターコレクタに接続されるダイオード82は順方向にバイアスされかつトランジスタ31のベースから蓄積された電荷を引張り、それによつてこのトランジスタをオフにさせる。抵抗83はまたそのエミッターベース接合を放電させることによつてトランジスタ31がオフになるのを助ける。ダイオード84が電流経路を与えて、抵抗が飽和されるとき順方向にバイアスされるトランジスタ31のコレクタ接合を放電させる。

ダイオード82, 84および抵抗83はこのようにトランジスタ31がオフになつている間オンおよびオフにリングングするのを防止する。このようなリングングはトランジスタにとって有害でありかつまた不所望な電氣的ノイズを発生する。しかしながら、このようなリングング効果は先行技

23

る前にトランジスタ31のベースをプルダウンするというのを確実にする。なぜならばダイオード85にかかる接合電圧はダイオード86にかかる降下とトランジスタ31のエミッターベース接合との和よりも小さいからである。ダイオード86はまたプルダウントランジスタ31の出力コレクタをパネル持続駆動ライン36へ結合するために用いられる。

ダイオード87および88はトランジスタ67のベース-エミッタ接合にかかる逆電圧を1.4ボルトのオーダの低電圧にクランプしてこのトランジスタを保護しかつ何らかの負の電流 I_D を導通させ、この電流はトランジスタ31および67から電荷を引張るために必要とされないものである。

上述したように、この発明の重要な特徴は高電圧持続信号のライズタイムを制限することであり、それによつてシステムの他の回路を誤動作させるような不必要なノイズ電流が発生されない。この特徴はフィードバックコンデンサ90および抵抗91によつて与えられ、それらはトランジスタ67

24

術に共通なものであり典型的には出力トランジスタステージおよびプラズマパネルに関連のインダクタンスにおいて蓄積されるエネルギーによつて生じる。

上述したように、出力トランジスタ31および34は、それらが高電圧源 V_S に短絡回路を与えるので同時にオンではないということが非常に重要である。しかしながら、ダイオード85および86なしでは、トランジスタ31はトランジスタ34がオンになる時間ごとにオンになる傾向である。なぜならばトランジスタ31のエミッタはパネル駆動ライン(これはトランジスタ34がオンになるとき接地へ駆動される)へ直接接続されるからであり、それに対してトランジスタ31のベースは接地よりも上に浮動しようとするからである。ダイオード85および86は、プルダウン抵抗34がオンにされるときトランジスタ31および67がオフにされるということを確実にする。このように、これらのダイオードは、トランジスタ34からの電流がそのエミッタをプルダウンす

25

のベースにおいて接続される抵抗91を介して電流をフィードバックさせ、したがつてわずかにこのトランジスタのターンオン時間を遅らせる。その結果、プルハイ出力トランジスタ31のターンオン時間がまたわずかに延長され、それによつて持続駆動ライン36のプラズマパネルに印加された電圧のライズタイムを制限する。

このフィードバックは、それがコンデンサ95および96、プルハイトランジスタ31、ならびにプラズマパネルを含む高電流ループにおけるインピーダンスエレメントを何ら付加しない方法で達成されるということに注目されたい。この高電流ループにおけるどのようなインピーダンスエレメントも、高放電電流スパイクの時にプラズマパネルにかかる電圧降下を生じ、前記電流スパイクによつてプラズマパネルは不所望な電氣的および光学的特性を示す。これらの有害な影響はコンデンサ90および抵抗91によつて発生されない。なぜならばそれらはプルハイトランジスタ31が飽和されるのを許容しかつガス放電電流の時に充

26

分な電流をプラズマパネルへ供給するからである。ダイオード97が用いられて、プラズマパネルがプルダウントランジスタ34によつて放電されるときフィードバック回路がトランジスタ31および67をオンにするのを保つ。

蓄込みペデスタルレベル48は出力トランジスタ55およびトランジスタ100を含む蓄込みペデスタル駆動回路58によつて与えられ、これらはそれぞれにパルス入力信号PDMXへ結合される。PDMX入力パルスがローであるとき、トランジスタ100がオンにされ、電流をコンデンサ101を介して強制し、かつトランジスタ55をオンに切換えさせる。プルハイトランジスタ31がオフにされたすぐあと、持続信号がパネルキャパシタンスによつて V_S に保持される。トランジスタ55を遮断するとき、電圧 V_{AX} が V_S にクランプされかつ出力が $V_S - V_{AX}$ の所望の蓄込みペデスタルレベルまで減少される。

第2図において46で示す消去持続レベルはトランジスタ40によつて与えられ、このトランジ

(2)

スタ40がオフになる。コンデンサ111がダイオード112および113を介して放電する。抵抗42はトランジスタ40における電力放散を減少するための電流制限抵抗である。ダイオード41は、パネル持続駆動ライン36の持続レベルがより高い電圧レベルであるときその回路を分離するために用いられるブロッキングダイオードである。

プルダウントランジスタ34のためのトランジスタ115, 116を含む下部ベース駆動回路35は上部ベース駆動回路32と比べていく分簡略化された回路である。なぜならばこのトランジスタ34のベースは接地電位近くにあるからである。並列なコンデンサ117, 118はコンデンサ71に類似し、かつターンオンおよびターンオフのためトランジスタ34のベースへ電流を供給する。トランジスタ115が入力信号パルス信号PDXによつて応答する。この信号は通常ハイであり、トランジスタ115をオフにさせる。なぜならばそのベースは抵抗120によつてハイに保持され

(3)

スタ40はオンにされるときこの電圧レベルまで持続波形を引張る。トランジスタ40のエミッタは消去ペデスタル駆動回路39から供給され、これはトランジスタ105を含むエミッタホロア回路を含む。トランジスタ105のコレクタは V_{AY} へ結合されかつそのベースはトランジスタ105のエミッタ電圧を所望のレベルへ調節するのを許容する。減結合コンデンサ107が接地とトランジスタ105のエミッタとの間に接続される。

トランジスタ40のベース駆動が消去ペデスタル駆動回路39によつて供給され、これはトランジスタ110を含む。パルス駆動信号PUMXがローに進むと、第5図に示すように、トランジスタ110がオンになり、コンデンサ111を接地へ駆動する。このコンデンサは充電を開始しかつトランジスタ40のためベース電流を与える。トランジスタ40がオンになり、かつ持続出力がポテンシオメータ106によつてセツトされる電圧レベルまでダイオード41および抵抗42を介してプルアップされる。パルス信号PUMXがハイに進

(2)

るからである。PDXがローに進むとき、電流がトランジスタ115のベースエミッタ接合に流れ、それをオンにさせかつ飽和させる。トランジスタ115のコレクタ電流はダイオード121を流れ、トランジスタ116のベースエミッタ接合を逆バイアスし、それによつてそれをオフにさせる。結合コンデンサ117, 118はプルアップされ、プルダウントランジスタ34のベースへ電流を流通し、それをオンにする。

ダイオード125および126は同様に、コンデンサ117および118にかかる正しいバイアスを維持する際にダイオード87および88に対して作用する。コンデンサ117, 118およびダイオード125, 126はトランジスタ116がオンにされるとき接地に対して負の値へプルダウン抵抗34のベースを強制することによつて種々の電流の必要性を除去し、それによつてトランジスタ34のベースエミッタ接合をターンオフするのを改良する。

トランジスタ130およびダイオード131が

(3)

持上げられこのトランジスタをその飽和されたオンの状態から正しくオフにするためトランジスタ34のコレクターベース接合から電荷を引張るために用いられる。トランジスタ130は入力パルスドレイnPDDXに回答し、かつ電流をターンオフするときトランジスタ34のコレクタ接合へ与える。第6図に示すように、制御信号PDXおよびPDDXは正確に反転したものである。このように、PDXがトランジスタ115をオンにするためローに進むとき、PDDXはトランジスタ135をオフにするためハイに進み、かつ逆に、PDXがトランジスタ115をオフにするためにハイに進むとき、PDDXはトランジスタ135をオンにするためにローに進む。ダイオード131はプルハイトランジスタ31がオンにされるときトランジスタを燃焼するのを防止する。

ダイオード135は、典型的にパネルに関連する浮遊インダクタンスによりプラズマパネルにかかる電圧が負に進むのを保持するために用いられる。

60

タ147がXボード電極を接地電位まで引張る。逆に、PDXBがローであるとき、コンデンサ146がプルダウンされ、これはトランジスタ147のベースをプルダウンしかつそれをオフにさせる。

コンデンサ150が持続電圧がローであるときXボード電圧を持続する。このように、持続電圧およびVAXの総和がそのもつとも高い電圧であるとき、電流がダイオード143を介して流れかつこのコンデンサ150を充電する。蓄積された電荷は、持続波形が再びコンデンサを再充電するために上昇するまでボード電位を維持するのに充分である。

この発明の重要な特徴は、第7図において概略的に示すように、Yボード持続回路21がXボード持続回路よりもかなり値段が安くかつ複雑でないということである。先行技術ボード駆動システムは典型的にはXおよびYボード持続回路を復写する。なぜならば比較的ハイの電圧ボード駆動信号がこれまでに於いてこれらの軸の両方に要求されてきたからである。しかしながら、この発明に

61

Xボード持続回路20の詳細な回路図を第6図に示す。入力パルス信号PUXBがハイであるとき、トランジスタ140がオフでありかつ電流が低電圧源 V_{SC} からコンデンサ141を介して強制され、トランジスタ142のベース-エミッタ接合を逆バイアスされかつオフにされるようにする。PUXBがローであるとき、トランジスタ140が導通しかつ電流がコンデンサ141を介してトランジスタ142のベースから流れ、トランジスタ142を導通させる。このトランジスタはダイオード143と浮動電圧源VAXと、パネル持続駆動ライン36およびXボード電極間で直列回路において接続される。したがって、トランジスタ142の導通により、Xボード電極が持続駆動信号およびVAX(典型的には250ボルトのオーダ)の和に等しい電圧までプルアップされる。

入力パルス列PDXBがハイであるとき、トランジスタ145がコンデンサ146を介して電流を無理に流れさせるためにオンでありかつトランジスタ147をオンにさせる。そして、トランジス

62

においては、実質的により高い持続電圧がX電極およびXボード電極へ印加される状態で、比較的低い電圧Y持続駆動信号(これは、第5図に示すように簡単な方形波を有す)がまったく満足して機能する。このより低い電圧および実質的に複雑さの少ない波形信号はトランジスタ160および161がYボード持続電圧をYボード電極へ供給するために用いられるICゲートの1個のステージを表わす。トランジスタは電圧供給源VAY(典型的には70ボルト)および接地間に直列に接続される。トランジスタ160が論理タイミング制御回路23からの論理制御信号によつて駆動される。トランジスタ160がオンにされかつトランジスタ161がオフにされ、それによつてボード電極が電圧VAYで供給される。逆に、トランジスタ160がオフにされかつトランジスタ161がオンにされるとき、ボード電極は第5図のYボード波形によつて示すように、接地電位へ駆動される。第5図に示すように、XおよびYボード持続信号が位相化されるので、そのボードセルに沿つ

63

XGSR 10025

てパネルにかかる持続電圧はその表示セルでパネルにかかる電圧よりも高く、それによつてボーダセルが常にオンに駆動される。

このYボーダ持続回路のさらに利点は、高価でないICゲート回路がYアドレス選択ゲートのために用いられる同じ供給電圧 V_{AY} を用いているということであり、Yボーダ持続駆動信号を与えるためいかなる付加的な電力供給源のための必要性も除去する。

第1図、第3図、第4図、第6図および第7図に示す回路の代表的な例は、次の特定の回路コンポーネントを含む。

X軸選択ゲート13 (トランジスタ50,51)	テキサス インス ツルメント S N 75426
Yアドレス選択ゲート14	テキサス インス ツルメント S N 75427
トランジスタ31,34	ゼネラル・ゼミコ ンダクタ Inc.

図

ダイオード70,121, 125,126,143,193, 194,197,198,199, コンデンサ71,95,96, 101,107,111,117, 118,146	1 N 4933 1 mf
抵抗75,186	200 オーム
抵抗83	10 オーム
コンデンサ90	500 pf
抵抗91,166,182	5 オーム
ポテンシオメータ106	2 K オーム
コンデンサ141,150	47 uf
トランジスタ145	ゼネラル・エレクト リック D 44 C 5
トランジスタ160,161	テキサス・インス ツルメント S N 75427
抵抗175	3 K オーム
抵抗180	300 オーム

図

トランジスタ40,105

ゼネラル・エレクト

リック

D 45 C 11

抵抗42,57,191

51 オーム

トランジスタ55,147

2 N 6307

ダイオード41,56,82,

1 N 4936

84,85,86,97,112,

113,131,135,170,

173,174

トランジスタ65,100,

ゼネラル・エレクト

115,116,130

リック

D 45 C 1

トランジスタ66,110,

ゼネラル・エレクト

140

リック

D 45 C 3

トランジスタ67,142

2 N 6212

抵抗68,69,120,

100 オーム

171,172,181,183,

185,190

図

コンデンサ165,192,

47 uf

200

抵抗195

500 オーム

ダイオード196

1 N 3936

電源 V_{SC}

5 ボルト

電源 V_S

180 ボルト

電源 V_{AX}

70 ボルト(浮動)

電源 V_{AY}

70 ボルト

4、図面の簡単な説明

第1図はこの発明によるACプラズマパネルを駆動するための全体システムのブロック図である。

第2a図および第2b図はこの発明の好ましい実施例のX軸およびY軸電極へ供給された波形を示す。

第3図はX軸電極を駆動するために用いられる持続駆動回路の簡略化した回路図である。

第4図は持続駆動回路の詳細な回路図である。

第5図は第4図の回路へ与えられる入力パルス列を示す。

第6図はXボーダ持続回路の詳細な回路図であ

図

る。

第7図はYボータ持続回路の詳細な回路図である。

図において、10はACプラズマパネル、11はX軸電極、12はY軸電極、13はXアドレスドライバ、14はYアドレスドライバ、15はXアドレス入力ステージ、16は持続回路、17および22は論理タイミングおよび制御回路、18はYアドレス入力ステージ、20はXボータ持続回路、21はYボータ持続回路、25は電源、31はプルハイトランジスタ、34はプルダウントランジスタ、32は上部ベース駆動回路、35は下部ベース駆動回路、40は出力トランジスタ、39は消去ペダスタル駆動回路、41は分離ダイオード、50および51はゲートトランジスタ、71は分離コンデンサを示す。

特許出願人 インターステイト・エレクトロニクス
・コーポレーション

代理人 弁理士 深見 久郎

(9)

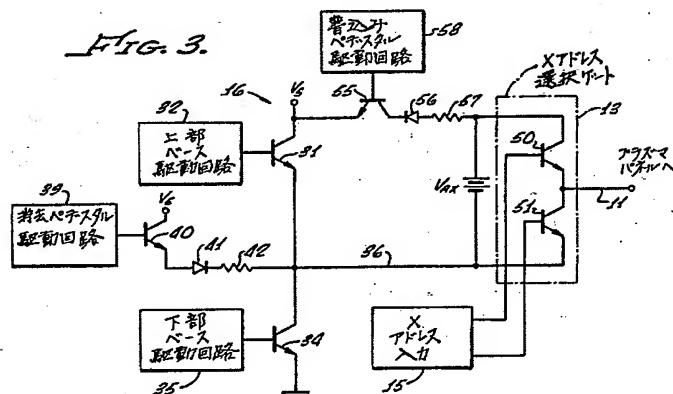
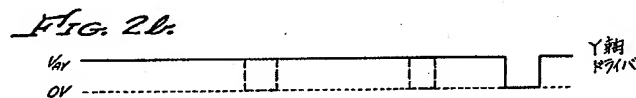
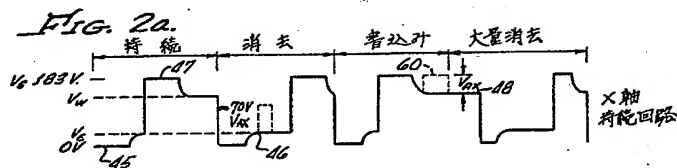
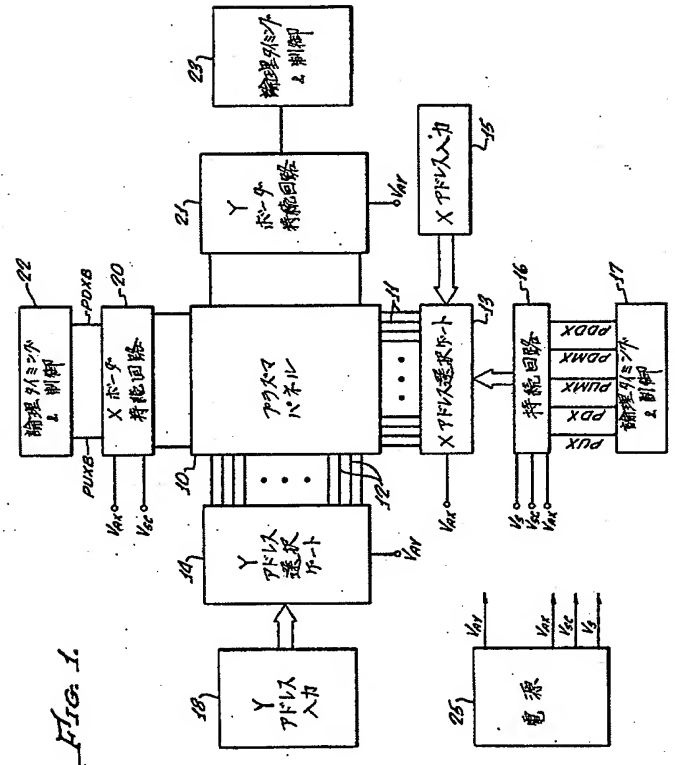


FIG. 4.

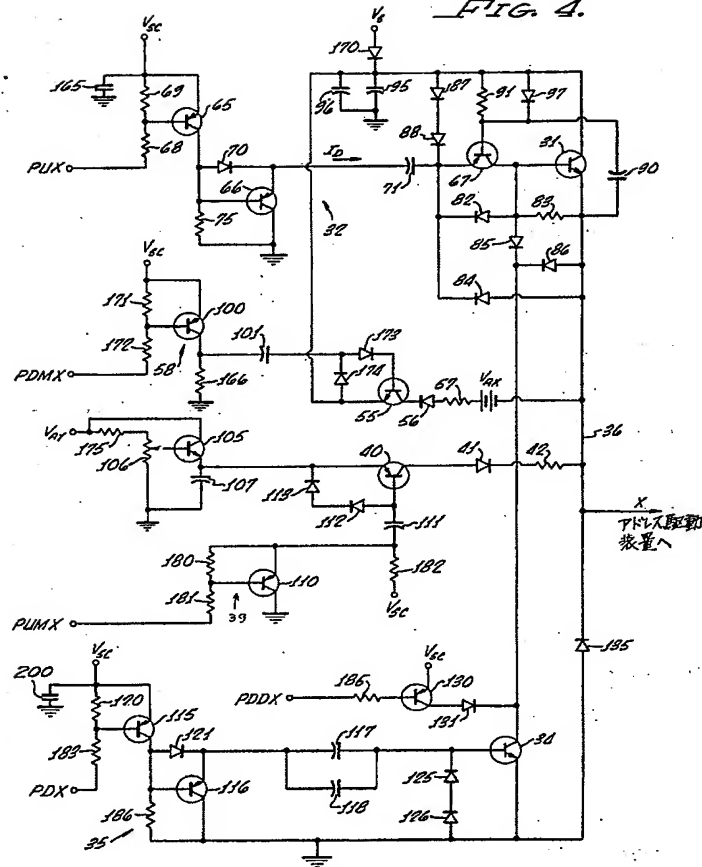


FIG. 5.

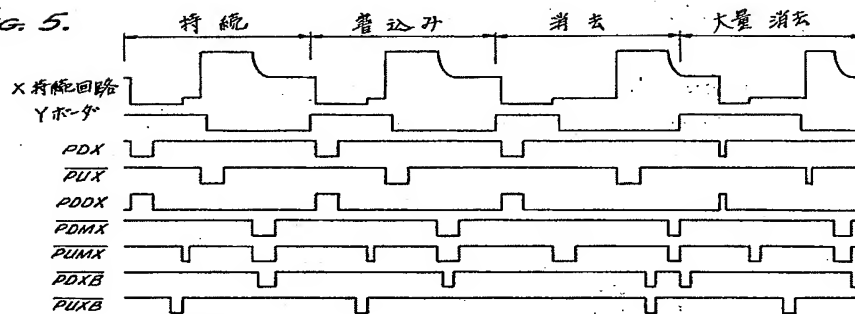


FIG. 6.

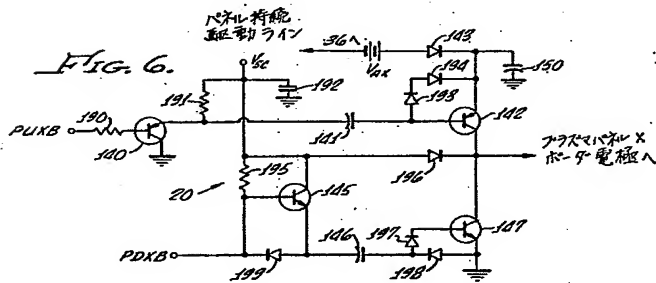


FIG. 7.

